

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-027684

(43)Date of publication of application : 06.02.1991

(51)Int.Cl.

H04N 5/335
H01L 27/146

(21)Application number : 01-160897

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 26.06.1989

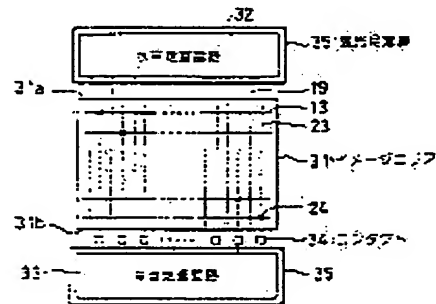
(72)Inventor : OGATA MASAKI

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To reduce the chip area by forming a horizontal scanning circuit and a vertical scanning circuit along one and the same side of an image area respectively.

CONSTITUTION: A horizontal scanning circuit 32 and a vertical scanning circuit 33 are arranged along sides 31a, 31b of an image area 31 opposite to each other, the circuit 32 connects to a source line 19 and the circuit 33 connects to a gate line selection line 23 via a contact 34. Then a thin film 35 to shield the light is provided to the scanning circuits 32, 33. When the wiring in the circuit 33 is formed by using a 2-layer wiring made of metallic thin films of 1st and 2nd layers, the contact 34 connects an output wire for the circuit 33 of the 2nd layer metallic thin film and the line 23 of the 3rd layer metallic thin film. Thus, the longitudinal and lateral size of the solid-state image pickup element is reduced by the width of the scanning circuits and the chip area is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

REST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-27684

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)2月6日

H 04 N 5/335
H 01 L 27/146

Z 8838-5C

7377-5F H 01 L 27/14

A

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 固体撮像装置

⑯ 特 願 平1-160897

⑰ 出 願 平1(1989)6月26日

⑱ 発 明 者 緒 方 雅 紀 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内

⑲ 出 願 人 オリンパス光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

⑳ 代 理 人 弁理士 最上 健治

明 細 書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

- 光電変換素子からなる画素をマトリックス状に配置して方形状のイメージエリアを形成し、該イメージエリアの周辺に水平走査回路と垂直走査回路を形成し、これらの走査回路によって前記イメージエリアの各画素の出力信号を取り出すようにした固体撮像装置において、前記水平走査回路と垂直走査回路を前記イメージエリアの対向する辺に沿ってそれぞれ形成したことを特徴とする固体撮像装置。
- 光電変換素子からなる画素をマトリックス状に配置して方形状のイメージエリアを形成し、該イメージエリアの周辺に水平走査回路と垂直走査回路を形成し、これらの走査回路によって前記イメージエリアの各画素の出力信号を取り出すようにした固体撮像装置において、前記水平走査回路と垂直走査回路を同

じイメージエリアの同一側の辺に沿ってそれぞれ形成したことを特徴とする固体撮像装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、マトリックス状に配置された画素の出力信号を水平走査回路と垂直走査回路によってXYアドレス方式で走査して取り出すように構成した固体撮像装置に関する。

〔従来の技術〕

近年各種の固体撮像装置が開発され実用化されている。これらのうち代表的なものとしては、MOS(Metal Oxide Semiconductor)型固体撮像装置、静電誘導トランジスタ(Static Induction Transistor: SITと略称されている)を画素として用いたSIT型固体撮像装置、AMI型固体撮像装置(Amplified MOS Imager)、FGA(Floating Gate Array)型固体撮像装置等がある。

更には本件出願人が、特開昭60-140752号公報、特開昭60-206063号公報及び、Japanese Journal of Applied PhysicsのVol. No.

5. 1985における論文“A New MOS Phototransistor Operating in a Non-destructive Readout Mode”等において開示した電荷変調素子(Charge Modulation Device: CMDと略称されている)を用いたCMD型固体撮像装置も知られている。

ところで上記各固体撮像装置においては、いずれも光電変換機能をもつ画素をマトリックス状に配列し、水平走査回路と垂直走査回路によってXYアドレス方式で画素を走査して画像信号を読み出すように構成されている。そして第6図の、回に示すように、画素がマトリックス状に配列されて形成された領域(以下イメージエリアという)101は、通常長方形状に構成されており、水平走査回路102と垂直走査回路103は、従来は前記長方形状のイメージエリア101の隅り合う辺に沿ってそれぞれ形成されている。

(発明が解決しようとする課題)

従来のXYアドレス方式の固体撮像装置は、上記のように水平及び垂直走査回路がイメージエリアの隅り合う辺に沿ってそれぞれ形成されている

撮像装置において、第1図内の概念図に示すように、水平走査回路2と垂直走査回路3を、イメージエリア1の相対向する辺1a、1bに沿って、それぞれ配置して構成するか、あるいは第1図の概念図に示すように、イメージエリア1の同一側の辺1aに沿って水平走査回路及び垂直走査回路をそれぞれ配置して構成するものである。

このようにイメージエリアに対して各走査回路を配置して構成することにより、固体撮像装置の縦又は横方向の寸法を走査回路の形成領域の幅だけ短くしてイメージエリアの寸法とほぼ同一にすることができ、しかも不用部分を除くことができ、チップ面積の縮小化を図ることができる。

(実施例)

以下実施例について説明する。第2図は、本発明に係る固体撮像装置の実施例におけるイメージエリアの隣接する2画素部分の平面構造を示す図である。この実施例は光電変換素子からなる画素としてCMDを用いたもので、11は浅い拡散層により形成されたCMDのソース領域で、12はソー

特開平3-27684(2)

ため、固体撮像装置の縦、横の寸法はイメージエリアの縦、横の寸法に、各走査回路の形成領域の幅をそれぞれ加えたものになり、しかも第6図の、回で斜線で示す不用部分104a、104b、104cを含み、チップ面積がイメージエリアよりかなり大きくなり、固体撮像装置の実装に際しても、イメージエリアの縦、横のいずれの寸法よりも大なるスペースを必要とするという問題点を有していた。

本発明は、従来のXYアドレス方式の固体撮像装置における上記問題点を解決するためになされたもので、縦又は横方向の寸法がイメージエリアの寸法とほぼ同一でチップ面積を縮小化した固体撮像装置を提供することを目的とする。

(課題を解決するための手段及び作用)

上記問題点を解決するため、本発明は、光電変換素子からなる画素をマトリックス状に配置して方形状のイメージエリアを形成し、該イメージエリアの周辺に水平走査回路と垂直走査回路を形成し、これらの走査回路によって前記イメージエリアの各画素の出力信号を取り出すようにした固体

ス領域11を取り囲むように形成され、2画素毎に電気的に共通に接続されているポリシリコンにより形成されたゲート電極である。13は水平方向に配列された各画素間に配線された2層目の金属薄膜によって形成されたゲートラインで、1層目の金属薄膜14、2層目の金属薄膜と1層目の金属薄膜14との電気的接続を得るためのコンタクト15、及び1層目の金属薄膜14とポリシリコンゲート電極12との電気的接続を得るためのコンタクト16によって、ゲート電極12と電気的に接続されている。

17は浅い拡散層で形成されている浅いドレイン領域、18及び18'は深い拡散層で形成されている深いドレイン領域で、一方の深いドレイン領域18はゲート電極12が電気的に共通に接続されている隣接2画素間の分離領域を構成している。19は1層目の金属薄膜によって形成されたソースラインで、垂直方向に配列された各画素の各ソース領域11上を通るように配置され、各画素のソース領域11とはソースコンタクト20により接続されている。21は1層目の金属薄膜によって形成されたドレイ

ンラインで、ゲートライン13とゲート電極12とを電気的に接続するための前記1層目の金属薄膜14、コンタクト15及びコンタクト16が配置されていない画素間において垂直方向に配置されており、深いドレイン領域18'に対してドレインコンタクト22を介して接続されている。23は本発明に係る固体撮像装置を構成するために必須のゲートライン選択ラインであり、従来のCMOS型固体撮像装置においては設けられていない本発明特有のものである。このゲートライン選択ライン23は垂直方向に配列された各画素間に配置され、3層目の金属薄膜によって形成されている。

第3図は、第2図に示した構成のCMOS画素をマトリックス状に配置して構成した本発明に係る実施例のイメージエリアの一部を拡大して示す図である。24はゲートライン13とゲートライン選択ライン23とを接続するためのコンタクトであり、あるゲートライン選択ライン23が垂直走査回路により選択されたとき、そのゲートライン選択ライン23にコンタクト24を介して接続されているゲ-

からなるゲートライン選択ライン23を接続するコンタクトとなる。また透光用の薄膜35は3層目の金属薄膜を用いて形成することができる。

第5図は、本発明の第2の実施例の概略構成を示す図である。この実施例は第3図に示した構成のイメージエリア31の同一辺側に水平走査回路32と垂直走査回路33を配置して構成したものである。第4図に示した第1次と同一構成の走査回路32、33を用いると、垂直走査回路33とゲートライン選択ライン23とを接続するコンタクト34は第1実施例と同様の接続コンタクトとして形成される。しかし水平走査回路32を横切って3層目の金属薄膜で形成されるゲートライン選択ライン23が配置されているため、水平走査回路32と垂直走査回路33に亘って形成される透光用の薄膜36は、第4層目の金属薄膜を用いて形成しなければならない。なお、この透光用薄膜36は、水平走査回路32上と垂直走査回路33上に分離して配置してもよく、その場合には垂直走査回路33上の透光用薄膜は3層目の金属薄膜で形成してもよい。

トライン13が選択されるように構成されている。したがって垂直走査回路は次に述べるように、このようにマトリックス状に配置された画素で構成されるイメージエリアの上部又は下部に形成され、この垂直走査回路とゲートライン選択ライン23とは必要なコンタクトを介して接続されるようになっている。

第4図は、第3図に示した構成のイメージエリア31を用いて構成した本発明の第1の実施例の概略構成を示す。この実施例は水平走査回路32と垂直走査回路33を、イメージエリア31の対向する辺31a、31bに沿ってそれぞれ配置したものである。水平走査回路32はソースライン19と接続され、垂直走査回路33はゲートライン選択ライン23とコンタクト34を介して接続されている。そして各走査回路32、33には透光するための薄膜35が設けられている。垂直走査回路33中の配線が1層目と2層目の金属薄膜からなる2層配線を用いて形成される場合、コンタクト34は2層目の金属薄膜からなる垂直走査回路33の出力配線と3層目の金属薄膜

画素をマトリックス状に配列して構成したイメージエリアにおいて、水平画素数と垂直画素数が等しい場合は、第4図及び第5図の第1及び第2実施例に示すように、全てのゲートライン選択ライン23上にそれぞれ1個のゲートライン接続用のコンタクト24が配置される。しかしイメージエリアにおいては、通常水平画素数の方が垂直画素数より多く、そのような構成のイメージエリアの場合には、ゲートライン接続用コンタクト24及び垂直走査回路接続用のコンタクト34が配置されないゲートライン選択ライン23が存在することになるが、そのような構成になっても何ら支障は生じない。

またイメージエリアにおいて、水平画素数が垂直画素数の2倍以上の場合には、第2図の2画素部分図において示した2本のゲートライン選択ライン23の中、いずれか一方を省くことができる。またこのような構成のイメージエリアの場合、ゲートライン13の抵抗による動作速度の低下を抑えるために、第2図及び第3図に示すイメージエリ

特開平3-27684(4)

ア構成のままで、1本のゲートライン上に2個のゲートライン選択ラインへの接続用コンタクト24を設け、その1本のゲートラインに共通接続された2本のゲートライン選択ラインの同期動作によって、そのゲートラインを選択するように構成することも可能である。

また第2図の2画素構成において、2本のゲートライン選択ライン23の中、ドレインライン21上に配置するものだけを残して、他の選択ライン23を省き、更にドレインコンタクト22はイメージエリア内ではなくともイメージエリア周辺において形成されておればC M D画素は動作するので、ドレインライン21とドレインコンタクト22を省く。そして省略したドレインライン上に配置するゲートライン選択ライン23を1層目の金属薄膜で形成し、ゲートライン接続用コンタクト24を1層目の金属薄膜と2層目の金属薄膜との接続を得るためのコンタクトで形成することができる。このような構成にすることによって、イメージエリア内では3層目の金属薄膜を用いる必要がなくなる。

ートライン選択ライン23は1層目の金属薄膜で形成することができ、ゲートライン13と接続するためのコンタクト24は1層目の金属薄膜とこれらのポリシリコン等の導電材料との接続を得るように形成される。このように画素を構成すれば、イメージエリア内で用いられる金属薄膜は1層のみでよいことになる。そしてこのように構成されたイメージエリアを用いた場合でも、第4図及び第5図に示した第1及び第2実施例並びにその変形例のように固体撮像装置を構成することもできる。

上記各実施例では、第4図に示すようにイメージエリアの相対向する辺31a、31bに沿ってそれぞれ水平走査回路及び垂直走査回路を配置したものの、あるいは第5図に示すように同一辺31a側に水平走査回路及び垂直走査回路をそれぞれ配置したものを示したが、第4図に示した実施例においては水平走査回路及び垂直走査回路の配置を逆にしてもよく、また第5図に示した実施例においては、同一辺31b側に各走査回路をそれぞれ配置して構成してもよい。また水平走査回路あるいは垂

また上記実施例に用いるイメージエリアにおいては、第2図及び第3図に示すようにC M D画素のゲートライン13を2層目の金属薄膜で形成するようにしたものについて説明してきたが、ゲートライン13はポリシリコン等の導電材料で形成することもできる。そしてこれらの導電材料でゲートライン13を1層目の金属薄膜よりも下側に形成した場合は、深いドレイン領域18'とドレインライン21とを接続するドレインコンタクト22は形成できなくなるので、ドレインライン21を形成する必要はない。またこのように構成した場合、ゲート電極12とゲートライン13とを接続するゲートコンタクト部の1層目の金属薄膜は不要で、コンタクト15、16の代わりにゲートライン13とポリシリコンゲート電極12との接続を得るためのコンタクトが必要となる。

更にまたゲートライン13がゲート電極12と同一のポリシリコンで形成される場合には、上記のようなゲートライン13とゲート電極12とを接続するためのコンタクトも不必要となる。したがってゲ

直走査回路を複数に分割してイメージエリアの対向する辺にそれぞれ配置することも可能である。要するに本発明においては、水平走査回路と垂直走査回路がイメージエリアの対向する辺か、あるいは同一辺に沿って形成されておればよく、同様の作用効果を得られる。

また上記各実施例においては、画素としてC M Dを用いた場合について説明したが、他の光電変換素子を画素として用いた場合でも、それぞれの画素に応じて、ゲートライン選択ライン23に対応する選択ラインと、ゲートライン選択ライン接続用コンタクト24に対応するコンタクトを設けるようにイメージエリア構成を変更することにより、各種のXYアドレス方式の固体撮像装置に対して本発明の適用が可能であることは明らかである。

(発明の効果)

以上実施例に基づいて説明したように、本発明は、水平走査回路及び垂直走査回路をイメージエリアの対向する辺、あるいは同一辺に沿って配置して構成したので、固体撮像装置の縦又は横方向

特開平3-27684(5)

の寸法を走査回路の幅だけ短くすることができ、且つ不用部分を省くことができ、チップ面積の縮小化を図ることができる。したがってより狭い場所に実装可能なXYアドレス方式の固体画像装置を提供することができる。

4. 図面の簡単な説明

第1図(A)、(B)は、それぞれ本発明に係る固体画像装置の概念を示す説明図、第2図は、本発明の実施例のCMD素子からなるイメージエリアの隣接2素子部分の平面構造を示す図、第3図は、第2図に示した構成のCMD素子をマトリクス状に配置して構成したイメージエリアの一部を拡大して示す図、第4図は、本発明の第1実施例の概略構成図、第5図は、第2実施例の概略構成図、第6図(A)、(B)は、それぞれ従来の固体画像装置の概略構成図である。

図において、1はイメージエリア、2は水平走査回路、3は垂直走査回路、11はソース領域、12はゲート電極、13はゲートライン、14は1層目の金属薄膜、15、16はコンタクト、17は浅いドレ

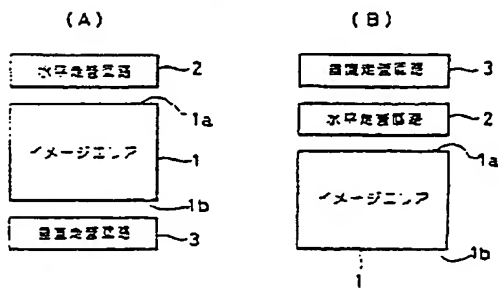
イン領域、18、18'は深いドレイン領域、19はソースライン、20はソースコンタクト、21はドレインライン、22はドレインコンタクト、23はゲートライン選択ライン、24はゲートライン選択ラインコンタクト、31はイメージエリア、32は水平走査回路、33は垂直走査回路、34は選択ラインと垂直走査回路との接続用コンタクト、35、36は遮光用薄膜である。

特許出願人 オリンパス光学工業株式会社

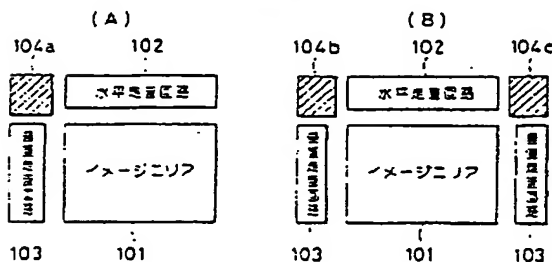
代理人弁理士 殿 上 健 治



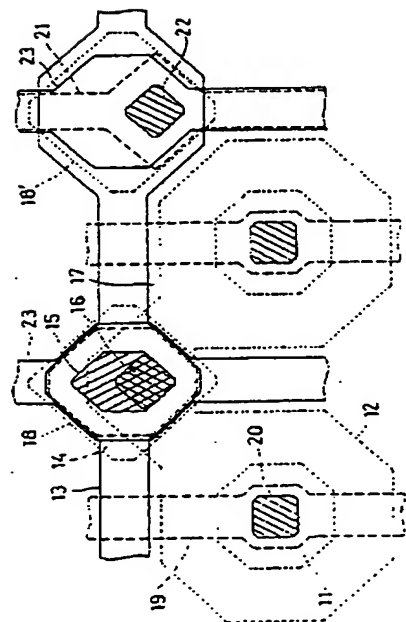
第1図



第6図



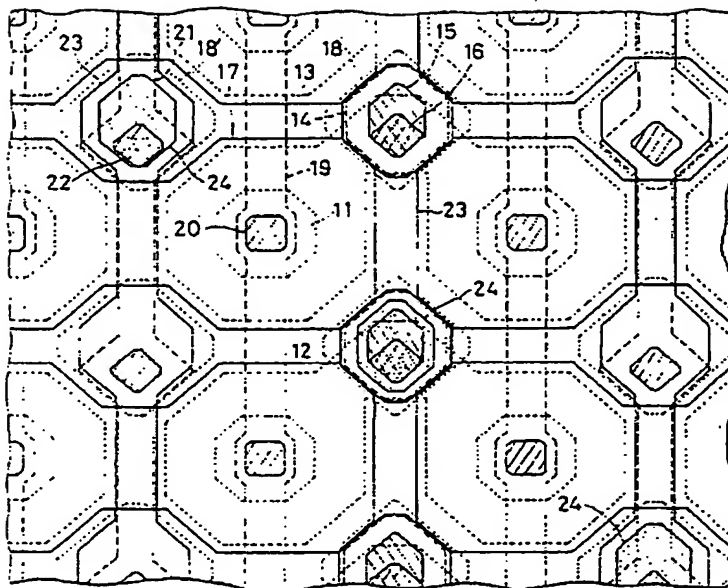
第2図



11: ソース領域
12: ゲート電極
13: ゲートライン
14: 1層目の金属薄膜
15, 16: コンタクト
17: 浅いドレイン領域
18, 18': 深いドレイン領域
19: ソースライン
20: ソースコンタクト
21: ドレインライン
22: ドレインコンタクト
23: ゲートライン選択ライン

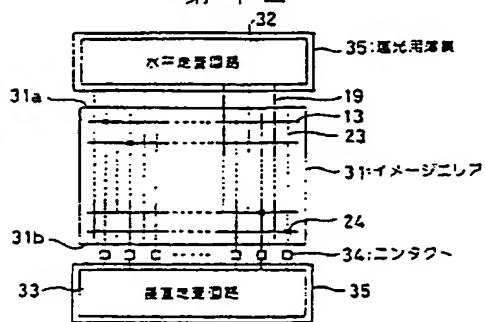
TEST AVAILABLE COPY

第 3 図



24: ゲートライン選択ラインコンタクト

第 4 図



第 5 図

